

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.
009544547 **Image available**

WPI Acc No: 93-238090/199330

XRAM Acc No: C93-106047

XRPX Acc No: N93-183078

**Highly reliable metal fate TFT mfr. - by forming semiconductor island
layers for TFT's, gate insulator layer, gate electrodes circuit pattern
by anodic oxidn., using circuit pattern, etc. NoAbstract**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 5160153	A	19930625	JP 91348130	A	19911203	H01L-021/336	199330 B

Priority Applications (No Type Date): JP 91348130 A 19911203

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 5160153	A		7			

Title Terms: HIGH; RELIABILITY; METAL; TFT; MANUFACTURE; FORMING;
SEMICONDUCTOR; ISLAND; LAYER; TFT; GATE; INSULATE; LAYER; GATE;
ELECTRODE

; CIRCUIT; PATTERN; ANODE; OXIDATION; CIRCUIT; PATTERN; NOABSTRACT

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): H01L-021/336

International Patent Class (Additional): G02F-001/136; H01L-029/784

File Segment: CPI; EPI; EngPI

THIS PAGE BLANK (USPTO)

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04168453 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 05-160153 [JP 5160153 A]

PUBLISHED: June 25, 1993 (19930625)

INVENTOR(s): YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 03-348130 [JP 91348130]

FILED: December 03, 1991 (19911203)

INTL CLASS: [5] H01L-021/336; H01L-029/784; G02F-001/136; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL: Section: E, Section No. 1444, Vol. 17, No. 556, Pg. 73, October 06, 1993 (19931006)

ABSTRACT

PURPOSE: To provide a method for manufacturing a TFT having highly reliable metallic gate.

CONSTITUTION: Semiconductor regions 102 and 103 and a gate electrode and wiring 104 and 105 are made on a substrate 106, in the condition of being connected electrically by the wiring 106, and anode oxidation is performed to form an anode oxide around the gate electrode and wiring. Then, each wiring is patterned by applying a laser or electromagnetic waves having energy equivalent to it.

THIS PAGE BLANK (USE TO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-160153

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
G 0 2 F 1/136	5 0 0	9018-2K	H 0 1 L 29/ 78	3 1 1 Y
		9056-4M		3 1 1 G
		9056-4M		
審査請求 有 請求項の数 3(全 7 頁) 最終頁に続く				

(21)出願番号 特願平3-348130

(22)出願日 平成3年(1991)12月3日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

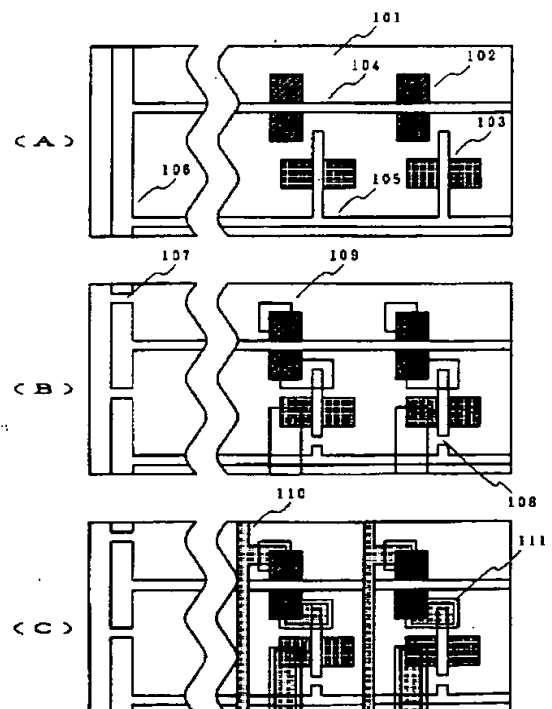
導体エネルギー研究所内

(54)【発明の名称】 半導体装置の作製方法

(57)【要約】

【目的】 信頼性の高い金属ゲートのTFTを作製する方法を提供する。

【構成】 基板上に半導体領域102、103、ゲイト電極・配線104、105を、配線106によって電気的に接続した状態で形成し、陽極酸化をおこなって、ゲイト電極・配線の周囲に陽極酸化物を形成する。その後、レーザーもしくはそれと同等なエネルギーを有する電磁波を照射することによって、各配線のパターニングをおこなう。



1

【特許請求の範囲】

【請求項1】 基板上に半導体被膜を形成する工程と、前記半導体被膜上に絶縁性被膜を形成する工程と、前記絶縁性被膜上に、半導体もしくは金属被膜を選択的に形成する工程と、前記半導体もしくは金属被膜の上面および側面に陽極酸化法によって半導体もしくは金属酸化物被膜を形成する工程と、前記半導体もしくは金属被膜および半導体もしくは金属酸化物被膜に対し、レーザー光もしくはそれと同等のエネルギーを有する電磁波を照射して、任意の箇所を切断する工程とを有することを特徴とする半導体装置の作製方法。

【請求項2】 陽極酸化法によって形成された半導体もしくは金属酸化物被膜を上面および側面に有する半導体もしくは金属材料からなるゲート電極もしくはそれから延在する配線の任意の部分に弗化水素と酢酸塩を含有する溶液を作用させることによって前記部分の半導体もしくは金属酸化物被膜を除去し、前記電極もしくは配線の半導体もしくは金属表面を露出せしめる工程と、前記露出面に導電性材料被膜を形成することによって電気的接触部分を形成する工程とを有することを特徴とする半導体装置の作製方法。

【請求項3】 陽極酸化法によって形成された半導体もしくは金属酸化物被膜を上面および側面に有するゲート電極もしくはそれから延在する配線の任意の部分に反応性イオンエッチング工程を有するエッチングをおこなうことによって、前記電極もしくは配線の側面の半導体もしくは金属表面を露出せしめる工程と、前記部分を覆って、導電性材料を形成することによって電気的接触部分を形成する工程とを有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、大面積にわたって形成するのに適し、信頼性および量産性に優れた薄膜トランジスタの作製方法に関する。本発明の産業上の利用分野としては、本発明を透明基板上に形成する薄膜トランジスタに適用すれば、液晶表示装置やイメージセンサー等の電気光学装置の駆動回路等を作製することになる。また、単結晶半導体基板上に形成された薄膜トランジスタにも適用すれば、メモリーやロジック等の集積回路に利用されうる。

【0002】

【従来の技術】 近年、ガラス基板等の絶縁性基板上に半導体領域を形成し、トランジスタや集積回路を形成する技術が研究・開発され、一部には実用化されている。特に、このような絶縁基板上のトランジスタは薄膜トランジスタ(TFT)とよばれ、液晶表示装置やイメージセンサー等を駆動するためにその技術の確立が急がれている。

【0003】 また、従来の半導体集積回路と同様に、単

2

結晶半導体基板上に形成された半導体回路のうえに、絶縁層を介してさらに薄膜トランジスタ等で半導体回路を形成するという立体集積回路技術も、近年、実用化されるようになった。

【0004】 従来は、このようなトランジスタの半導体材料としては、高温再結晶化による多結晶シリコンや、気相合成によるアモルファスシリコンが使用されていたが、前者は、その作製に1000℃近くもの高温が要求されるため、基板が高価な石英に限定され、また、後者は電界移動度が低いため、情報量の多い用途には使用できなかった。また、半導体基板上にさらにTFTを形成する場合には高温処理は問題がないが、得られる多結晶半導体の移動度は小さいものであった。具体的には、N型シリコンで10～50cm/Vsであった。これは、再結晶後の過程で、何らかのトラップ準位等の欠陥が多数生じるためであると考えられている。

【0005】 そのような中で、近年、600℃程度の熱アニール(低温アニール)やレーザー光を使用したアニール法(レーザーアニール)によってシリコンを結晶化させる技術が開発された。これらの方法では、基板材料の選択範囲は広がり、低コスト化が期待できる。中でも、レーザーアニールは量産性に優れた技術として注目されている。さらに、これらの方法では、素子をプレーナー型としてセルフアライン的にイオン注入やレーザードーピング法によってソース、ドレインを形成することができ、その場合には寄生容量の削減にも有効である。また、電界移動度に関しても、N型シリコンで50cm/Vs以上の特性が再現性よく得られるようになった。特に、レーザーアニールでは200cm/Vs以上もの特性が得られる。

【0006】 このような背景をもとに、レーザーアニールが積極的に研究されるようになった。レーザーアニールが低温アニールに比べて有利な点を上げるとすれば、

(1) 低抵抗金属ゲートを使用することができる。

(2) 電界移動度が大きい。

という2点に収束する。特に(1)に関しては、大面積の回路(液晶ディスプレイ等)において有利であり、また、(2)に関しては、立体集積回路の作製において有利である。

【0007】 しかしながら、例えば、アルミニウムゲートのTFTにおいてレーザーアニール法を使用する場合において、アルミニウムが露出した状態でレーザー照射をおこなえば、たちまちのうちにアルミニウムが膨張し、あるいは融解し、アルミニウムのゲート電極・配線が剥がれたり、飛散したり、変形してしまった。

【0008】 このことはアルミニウムだけに限らず、チタンやタンタル、クロム等の金属材料であっても、また、シリコンやゲルマニウム等の半導体材料であっても同じことが起こりうる。というのは、これらの材料のあるものはアルミニウムに比較して、非常に高い融点を持

っているので融解することは稀だけれども、熱によって膨張する際に、膨張率が異なるために被膜が剥がれやすくなるからである。

【0009】このような問題点を解決する方法として、本発明人らは金属ゲート配線の周囲を陽極酸化膜で被覆する方法を提案した(特願平3-237100)。この方法によれば、陽極酸化膜はレーザー光を吸収する度合いが低いので、ゲート電極が剥がれることは回避された。

【0010】また、前記発明では、陽極酸化膜をマスクとして、ゲート電極とソース、ドレイン領域の間に任意の間隔(オフセット領域)を設けて、より特性のよいTFTを得ることができた。また、陽極酸化膜を緻密な絶縁膜として利用すれば、多層配線におけるショート等の欠陥を防止することが期待された。

【0011】このようにしてTFTを形成する場合には、通常、全てのゲート電極・配線を1つの回路に接続した状態で陽極酸化をおこなう必要がある。しかし、形成されたゲート電極や配線は、用途によっては電氣的に分離される必要がある。しかしながら、そのために公知のフォトリソグラフィ技術を使用することは量産性の観点から望ましくない。例えば、大面積回路の場合には、フォトリソグラフィーの際のマスク合わせには高度の技術が要求され、マスク合わせの回数を削減することが強く望まれている。

【0012】さらに、金属(あるいは半導体)とその陽極酸化物と、場合によっては、その上下に存在する薄膜とからなる複合体において、どれも同じようにエッチングすることは非常な困難である。例えば、酸化物と金属(あるいは半導体)は一般に使用されるウェットエッチや反応性エッチではエッチング速度が異なる。

【0013】

【発明が解決しようとする課題】本発明はこのような陽極酸化に伴う問題点を解決する技術を提供し、あわせて、陽極酸化法によってTFTを作製する際に、もっとも適した全体的なプロセスを提案するものである。

【0014】

【問題を解決する方法】本発明では、陽極酸化後の各電極・配線間のパターニングをレーザー光あるいは、それと同等なエネルギー密度、パワー密度を有する電磁波を、パターニングを必要とする箇所に照射することによってパターニングすることの特徴とする。本発明でレーザー光等を使用することの利点は、マスク合わせが不必要で大面積化に有利であることと、光学的に透明な材料はエッチングされることが少なく、不透明な材料のみが選択的にエッチングされるためオーバーエッチが少ないこと等が上げられる。特に、後者に関しては、多くの被膜が多層に重なっている立体集積回路で望ましい特性である。

【0015】さらに、レーザーアニール装置とうまく組

み合わせれば、その後の成膜プロセスを連続的に処理することが可能であり、例えば、真空中でのレーザーアニールが終了した後、真空を破らずにパターニングをおこない、そのまま、CVDチャンバーに搬送して、層間絶縁物等を形成するという工程を採用することもできる。従来は、パターニングのためだけに、真空中から大気中に取り出し、フォトリソを塗布して露光するという工程が必要であったため、それに由来する汚染と歩留り低下が無視できなかった。

【0016】

【実施例】〔実施例1〕図1には本実施例を示す。まず、基板101としてコーニング7059ガラスを使用した。そしてアモルファスシリコン被膜をプラズマCVD法によって150nmだけ形成した。これを600℃で60時間、窒素雰囲気中でアニールし、再結晶化させた。さらに、これをパターニングして、島状の半導体領域102および103を複数形成した。ここで、半導体領域102は後にNチャネルTFTとなる領域で、半導体領域103はPチャネルTFTとなる領域である。

【0017】さらに、酸化珪素をターゲットとする酸素雰囲気中でスパッタ法によって、ゲート酸化膜を厚さ115nmだけ堆積し、次に、電子ビーム蒸着によってアルミニウム被膜を形成して、これをパターニングし、ゲート電極・配線104および105を形成した。このようにして、TFTの外形を整えた。このときのチャンネルの大きさは、長さを8μm、幅を20μmとした。また、ゲート配線104と105は配線106によって電氣的に接続されている。これらの配線は一体として形成されたものである。

【0018】また、この配線のパターニングには5wt%の硝酸と磷酸の混合したものを用いた。例えばエッチングの温度を40℃としてときは225nm/分であった。

【0019】さらに、配線106に電気を通じ、陽極酸化法によって、ゲート電極・配線の周囲(上面および側面)に酸化アルミニウムの被膜を形成した。陽極酸化は、3%の酒石酸のエチレングリコール溶液を5%アンモニアで中和して、pHを7.0±0.2とした溶液を使用しておこなった。まず、溶液中に陰極として白金を浸し、さらにTFTを基板ごと浸して、配線106を電源の陽極に接続した。温度は25±2℃に保った。

【0020】この状態で、最初、0.5mA/cm²の電流を流し、電圧が250Vに達したら、電圧を一定に保ったまま通電し、電流が0.005mA/cm²になったところで電流を止め、陽極酸化を終了させた。このようにして得られた陽極酸化膜の厚さは320nmであった。

【0021】次に、イオン注入法によって、半導体領域102にN型の不純物領域(ソース、ドレイン)を形成した。ドーパントとしてはリンイオンを使用し、イオン

5

エネルギーは70~100keV、リンの濃度は $1 \sim 5 \times 10^{13} \text{ cm}^{-2}$ とした。このイオン注入によって、ソース、ドレイン領域はゲイト電極とかさならない部分(オフセット領域)が酸化アルミニウムの厚さ(約300nm)だけ形成されたものと推定される。また、同様に半導体領域103にP型の不純物領域を形成した。ドーパントとしては、 BF_3^+ を使用した。ドーズ量、加速エネルギーはリンのドーピングと同じ条件とした。ここまでで得られた回路の状態を図1(A)に示す。

【0022】そして、レーザーアニールをおこなった。レーザーはKrFエキシマーレーザーを用い、例えば 350 mJ/cm^2 のパワー密度のレーザーパルスを50ショット照射した。このレーザーアニールによって、イオン注入でアモルファス化した部分の再結晶化がなされた。しかし同時に、レーザー照射の際、衝撃によって陽極酸化膜の一部にクラックや穴、アルミニウムの溶出が観測された。

【0023】そこで、再び、最初の陽極酸化の条件で酸化をおこない、クラックをふさぎ、露出したアルミニウムの表面を酸化した。ただ、このときは電流の調整に注意しなければならない。すなわち、クラックの部分や、アルミニウムの露出した部分の面積は極めて小さいので、最初の条件と全く同じ条件の電流を流した場合には、電流がそのような狭い部分に集中してしまい、化学反応(酸化反応)が著しく進行して、局所的に非常な発熱をもたらし、破壊してしまうことがある。

【0024】そこで、電流は電圧を見ながら、徐々に上げていった。例えば、酸化開始時の設定電流は、最初の陽極酸化の1~5%程度がよい。この酸化工程ではゲイト電極の表面が一様に酸化されるのではないので、電流密度という定義は適切ではないが、あえて、最初の条件と対比する目的で電流密度という単位を使用すると、通電開始時に $5 \mu\text{A/cm}^2$ の電流を流し、1分間に2Vづつ上昇させていった。そして、電圧が250Vとなったところで通電をやめた。この最大電圧の値は必要とされる陽極酸化物の厚さによって決定され、本発明人等の知見によれば、厚さは最大電圧にほぼ比例する。例えば、最大電圧が250Vでは得られる陽極酸化物の厚さは320nmであった。

【0025】このようにして、TFTの欠陥を除去した。その後、真空中でレーザー照射によって、アルミニウム配線をエッチングした。レーザーとしてフラッシュランプ励起のQスイッチNd:YAGレーザー(波長1064nm)の第2高調波(波長532nm)を使用し、そのスポット半径を $5 \mu\text{m}$ とした。レーザー光のパルス幅は5nsであった。また、エネルギー密度は 1 kJ/cm^2 とした。試料をXYステージ上に固定し、ビームを照射して、例えば、図1(B)において107や108で示されるような部分のエッチングをおこなった。

6

【0026】次に、酸化珪素のスパッタ成膜によって層間絶縁物を形成し、公知のフォトリソグラフィ技術によって電極用孔、例えば109を形成して、半導体領域あるいはゲイト電極・配線の表面を露出させた。このとき、エッチングは、層間絶縁物である酸化珪素とゲイト電極・配線を被覆している酸化アルミニウムのみを選択的に除去することがのぞまれ、したがって、酸化珪素および酸化アルミニウムに対してのエッチング速度の方が、アルミニウムおよびシリコンに対してより大きいことが必要とされる。本発明人の知見によれば、いわゆるバッファー弗酸(弗化水素と弗化アンモニウムが混合された溶液)では好適なエッチング比が得られた。例えば、半導体製造用高純度弗化水素酸(50wt%)と同弗化アンモニウム溶液(40wt%)をとを1:10の比率で混合した溶液では、酸化アルミニウムのエッチング速度は60nm/分であるのに対し、アルミニウムは15nm/分であるので、本目的には好適である。このようにしてエッチングをおこなった。このときの状態を図1(B)に示す。

【0027】最後に、金属被膜を選択的に形成して、図1(C)に示すように配線110や111を得た。さらに、各P型の半導体領域にコンタクトを形成して、例えば、透明導電材料によって画素電極を形成すれば、液晶ディスプレイ用のマトリクス回路が作製される。

【0028】図1を回路図によって表現したのが図2である。最初、PチャネルTFTのゲイト電極は配線105に接続されていたのであるが、後に、切断されて、NチャネルTFTのソース(あるいはドレイン)と接続された。また、PチャネルTFTのソース(あるいはドレイン)は、最終的には配線105に接続された。

【0029】〔実施例2〕図3および図4には本実施例を示す。まず、基板301としてコーニング7059ガラスを使用した。そしてアモルファスシリコン被膜をプラズマCVD法によって150nmだけ形成した。これを600℃で60時間、窒素雰囲気中でアニールし、再結晶化させた。さらに、これをパターニングして、島状の半導体領域302および303を形成した。ここで、半導体領域102は後にPチャネルTFTとなる領域で、半導体領域103はNチャネルTFTとなる領域である。

【0030】さらに、酸化珪素をターゲットとする酸素雰囲気中でのスパッタ法によって、ゲイト酸化膜304を厚さ115nmだけ堆積し、次に、電子ビーム蒸着によってアルミニウム被膜を形成して、これをパターニングし、PチャネルTFTのゲイト電極306、NチャネルTFTのゲイト電極307、配線305および308を形成した。このようにして、TFTの外形を整えた。このときのチャンネルの大きさは、長さを $8 \mu\text{m}$ 、幅を $8 \mu\text{m}$ とした。また、全てのゲイト電極・配線は電気的に接続されている。ここまでで得られた回路の状態を図3

(A)に示す。

【0031】さらに、これらのゲイト電極・配線に電気を通じ、陽極酸化法によって、ゲイト電極・配線305～308の周囲(上面および側面)に酸化アルミニウムの被膜309～312を形成した。陽極酸化は実施例1と同様な条件でおこなった。ここまでで得られた回路の状態を図3(B)に示す。

【0032】次に、フォトレジスト313で半導体領域303を覆った状態でイオン注入法によって、半導体領域302にP型の不純物領域(ソース、ドレイン)314および315を形成した。ドーパントとしては三弗化ホウソあるいはホウソを使用し、イオンエネルギーは70～100keV、ドーズ量は $1\sim5\times10^{13}\text{cm}^{-2}$ とした。このイオン注入によって、半導体領域302のソース、ドレイン領域はゲイト電極とかさならない部分(オフセット領域)が酸化アルミニウムの厚さ(約300nm)だけ形成されたものと推定される。ここまでで得られた回路の状態を図3(C)に示す。

【0033】また、同様に半導体領域302をフォトレジスト316によって被覆した状態で、半導体領域303にN型の不純物領域317および318を形成した。ドーパントとしてはリンを使用した。ドーズ量、加速エネルギーはP型不純物のドーピングと同じ条件とした。ここまでで得られた回路の状態を図3(D)に示す。

【0034】そして、レーザーアニールをおこなった。レーザーアニールは、試料をXYステージに固定して、真空中(10^{-4}torr 以下)で $1\times300\text{mm}^2$ の大きさのレーザー光を移動させながら照射しておこなった。その他の条件は実施例1とおなじであった。さらに、レーザーアニール終了後、真空を破らずに、XYステージを移動させて、実施例1の場合と同じ条件のNd:YAGレーザー光の第2高調波を照射して、パターニングをおこなった。

【0035】さらに、真空を破らずに試料をCVD成膜装置のチャンバーに搬入し、連続的に酸化珪素被膜を堆積し、これを層間絶縁膜とした。以後の断面については図4(A)および同図(B)に記述する。まず、図4

(A)の例について述べる。層間絶縁物401を形成した後、試料を取り出して公知のフォトリソグラフィ法によって電極形成用の孔明けをおこなった。実施例1の場合と同様に、シリコンやアルミニウムはエッチングされず、酸化珪素と酸化アルミニウムのみが選択的にエッチングされる必要から、バッファー弗酸をエッチャントに用いた。マスクはフォトレジストである。

【0036】その後、金属配線403～405を形成した。図4(A)の場合には、最初に形成され、陽極酸化膜によって被覆された配線が、2層目の配線と接続する必要がある場合には、酸化アルミニウムのみがエッチングされるように、エッチャントを選ぶ必要がある。このようにして孔402が形成される。この方法は、比較的

大きな面積のコンタクトが得られるため、コンタクトの不良が少なく、コンタクト抵抗も低い。

【0037】これに対し、図4(B)に示すような方法も採用することができる。この方法では、層間絶縁物406を形成した後、公知のフォトリソグラフィ技術とウェットエッチング技術を用いて、電極形成用の孔を開ける。その際には、シリコンのみがエッチングされないような条件であればよい。例えば、硝酸と燐酸の混酸によるエッチング(アルミニウムのエッチング)と、バッファー弗酸によるエッチング(酸化アルミニウム、酸化珪素のエッチング)との2段階のエッチングをおこなった。このエッチング工程によって、図の左端の配線の側面が露出する。そして、この状態で第2の配線408～410を形成すればコンタクトが得られる。

【0038】また、四弗化炭素を用いた反応性イオンエッチングでは、酸化珪素はエッチングされるが、酸化アルミニウムおよびアルミニウムはほとんどエッチングされない。この特性を利用して、配線のコンタクト付近の酸化珪素のみをエッチングし、その後、バッファー弗酸によって、配線の周囲の酸化アルミニウムのみをエッチングするという方法も採用できる。このときの反応性イオンエッチングの条件としては、ガス流量20sccm、圧力0.08torr、RFパワー100Wとした。酸化珪素のエッチングレートは10nm/分であった。

【0039】前者の方法では、コンタクト面が配線の断面であるので、コンタクトの面積が小さく、不良の発生が問題となることがある。後者の方法では、コンタクトは上面も断面も形成できるので有利である。いずれの方法を採用するかは、作製される製品に対して許されるコストによって決定すればよい。

【0040】

【発明の効果】本発明によって、従来よりも信頼性・量産性に優れたTFTが作製された。この信頼性を高めることはレーザーによるパターニングによって成され、また、その他のエッチング条件の最適化によってなされた。このように本発明は、産業上有益であると本発明人は信ずるものである。

【図面の簡単な説明】

【図1】本発明によるTFTの作製工程例を示す。

【図2】本発明によるTFTの作製工程例を回路図によって示す。

【図3】本発明によるTFTの作製工程例を示す。

【図4】本発明によるTFTの作製工程例を示す。

【符号の説明】

101・・・基板
102、103・・・半導体領域
104、105・・・ゲイト電極・配線
106・・・配線
107、108・・・レーザーによるパターニング(エ

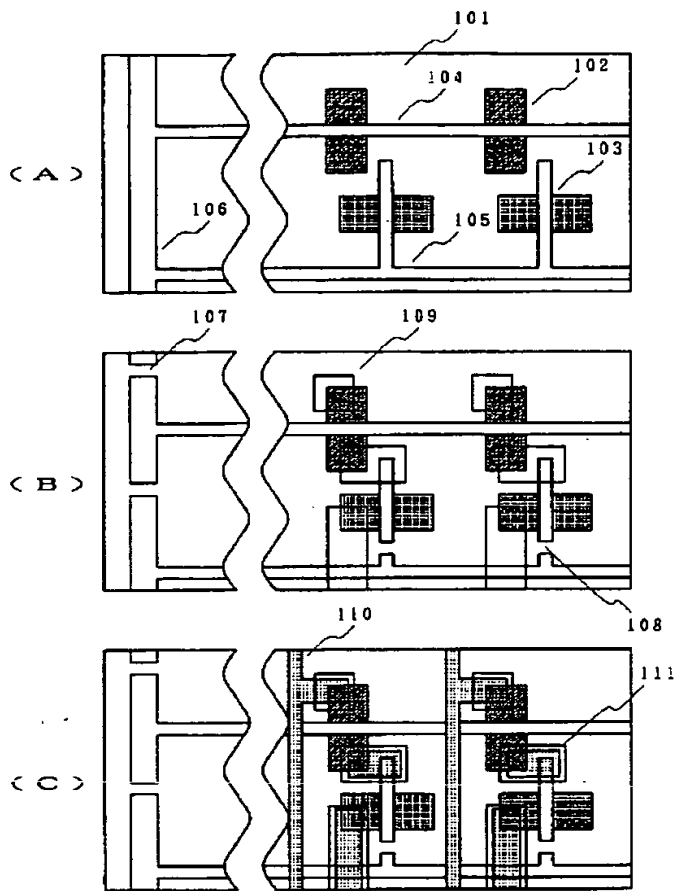
ツチング) の跡

109

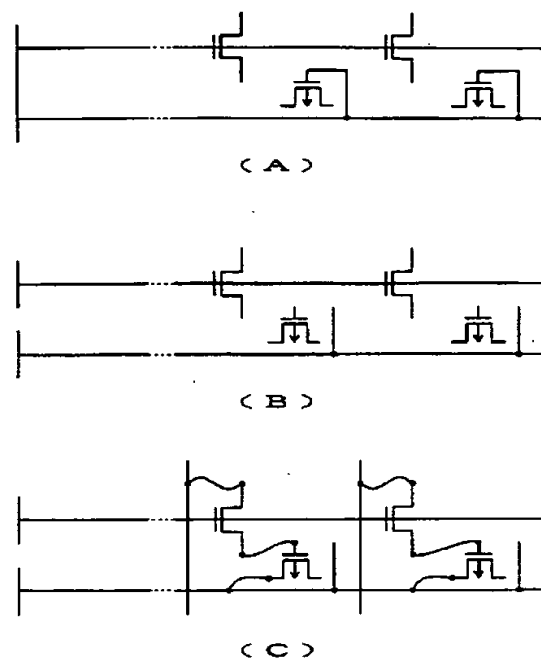
・・・電極形成用の孔

110、111・・・第2の配線

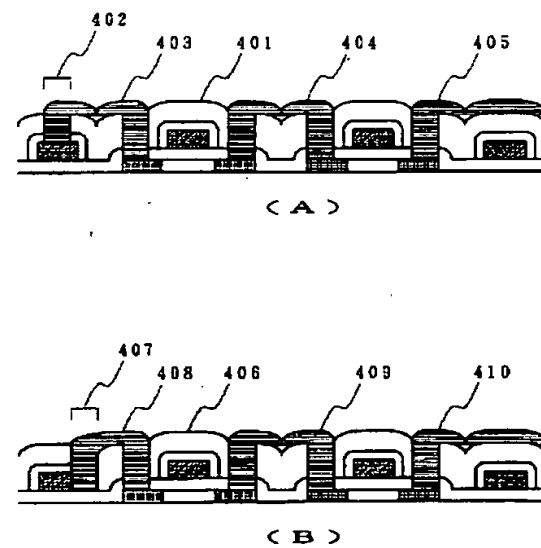
【図1】



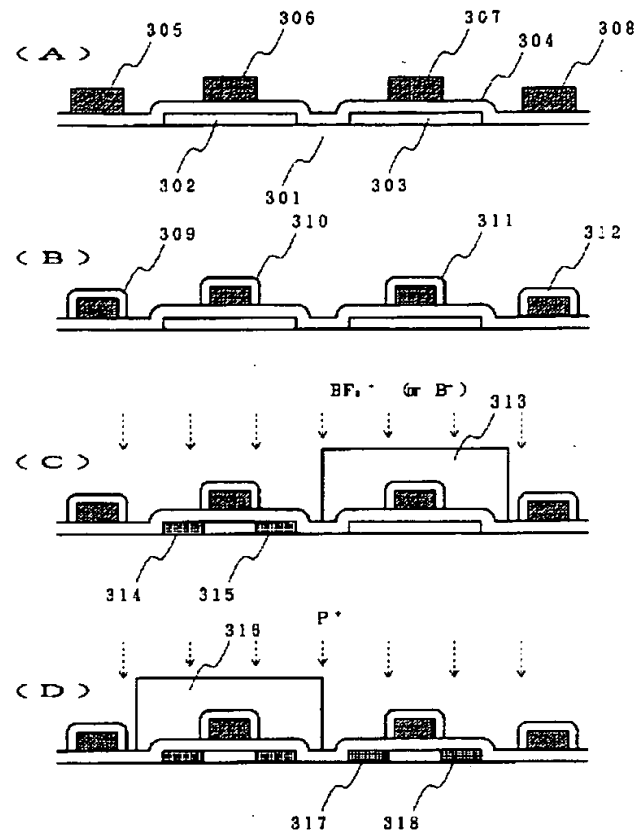
【図2】



【図4】



【図3】



フロントページの続き

(51) Int. Cl. 5

H01L 27/12

識別記号 庁内整理番号

A 8728-4M

F I

技術表示箇所

THIS PAGE BLANK (USPTO)